

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-075891
(43)Date of publication of application : 26.03.1993

(51)Int.Cl.

H04N 5/04

(21)Application number : 03-232949

(71)Applicant : HITACHI LTD
HITACHI DEVICE ENG CO LTD

(22)Date of filing : 12.09.1991

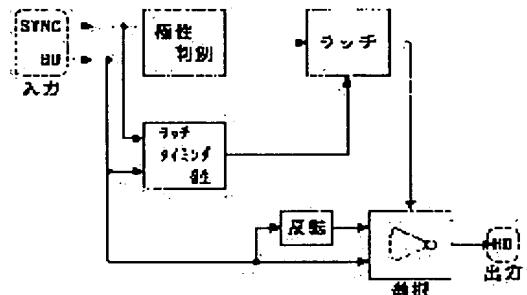
(72)Inventor : OSHIO TOSHIYUKI

(54) HORIZONTAL SYNCHRONIZING SIGNAL DISCRIMINATING CIRCUIT

(57)Abstract:

PURPOSE: To provide the horizontal synchronizing signal discriminating circuit enabling the versatility and capable of reducing the number of input terminals.

CONSTITUTION: The polarity of the horizontal synchronizing signal is discriminated by a composite synchronizing signal based on the broadcasting standard, and a horizontal synchronizing signal or its inversion signal is selected based on this result to output a horizontal synchronizing signal with a constant polarity. Thus, a horizontal synchronizing signal with the required polarity can be obtained regardless of the polarity of the inputted horizontal synchronizing signal, the versatility can be realized without increasing the number of input terminals.



LEGAL STATUS

[Date of request for examination] 07.09.1998

[Date of sending the examiner's decision of rejection] 09.01.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-75891

(43) 公開日 平成5年(1993)3月26日

(51) Int.Cl.⁵

H 04 N 5/04

識別記号

庁内整理番号

Z 9070-5C

F I

技術表示箇所

審査請求 未請求 請求項の数2(全5頁)

(21) 出願番号	特願平3-232949	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22) 出願日	平成3年(1991)9月12日	(71) 出願人	000233088 日立デバイスエンジニアリング株式会社 千葉県茂原市早野3681番地
		(72) 発明者	押尾 利幸 千葉県茂原市早野3681番地 日立デバイス エンジニアリング株式会社内
		(74) 代理人	弁理士 小川 勝男

(54) 【発明の名称】 水平同期信号判別回路

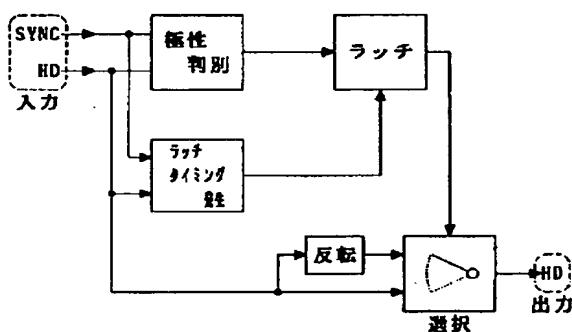
(57) 【要約】

【目的】 汎用性と入力端子数の削減を可能にした水平同期信号判別回路を提供する。

【構成】 放送規格に準拠した複合同期信号により水平同期信号の極性を判別し、この結果に基づいて上記水平同期信号又はその反転信号を選択して一定の極性にされた水平同期信号を出力させる。

【効果】 入力された水平同期信号の極性にかかわらず所望の極性の水平同期信号を得ることができるから、入力端子数を増加させることなく汎用性を図ることができる。

図1



1

2

【特許請求の範囲】

【請求項1】放送規格に準拠した複合同期信号により水平同期信号の極性を判別する回路と、この結果に基づいて上記水平同期信号又はその反転信号を選択して一定の極性にされた水平同期信号を出力する選択する回路とを含むことを特徴とする水平同期信号判別回路。

【請求項2】上記水平同期信号の極性を判別する回路は、複合同期信号の立ち下がりタイミングで水平同期信号の極性を判別し、その出力と水平同期信号とから垂直同期期間を検出してバックエッジのタイミングで上記水平同期信号の極性判別信号を取り込み保持して上記水平同期信号又はその反転信号を選択する選択信号を形成することを特徴とする請求項1の水平同期信号判別回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、水平同期信号判別回路に関し、例えばNTSCやPAL、SECAMなどの放送方式に従った複合同期信号に含まれる水平同期信号の極性を自動的に判別して固体撮像素子を駆動する駆動回路に利用して有効な技術に関するものである。

【0002】

【従来の技術】複合同期信号は、放送規格でパルス幅、極性などが決められているのに対し、水平同期信号はパルス幅、極性などが同期信号発生回路により異なっている。このため、これら同期信号を入力して固体撮像素子を駆動するためのタイミング信号を発生させる駆動回路では、使用する同期信号発生回路を限定して回路設計を行う必要がある。また、汎用性を持たせる場合には、正極性専用の水平同期信号入力と負極性専用の入力を別々に設ける必要がある。固体撮像技術に関しては、例えば(株)ラジオ技術社昭和61年11月3日発行『CCDカメラ技術』がある。

【0003】

【発明が解決しようとする課題】近年において、ビデオカメラなどの小型化が進み、固体撮像素子を駆動する周辺回路のIC(半導体集積回路装置)も小型化が必須となっている。このため、このような駆動用のICにおいては、ピンピッチの狭小化とともにピン数の削減が必須となっている。この発明の目的は、汎用性と入力端子数の削減を可能にした水平同期信号判別回路を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0004】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、放送規格に準拠した複合同期信号により水平同期信号の極性を判別し、この結果に基づいて上記水平同期信号又はその反転信号を選択して一定の極性にされた水平同期信号を出力させる。

10

20

30

40

50

【0005】

【作用】上記した手段によれば、入力された水平同期信号の極性にかかわらず所望の極性の水平同期信号を得ることができるから、入力端子数を増加させることなく汎用性を図ることができる。

【0006】

【実施例】図1には、この発明に係る水平同期信号判別回路の一実施例のブロック図が示されている。同図の各回路ブロックは、公知の半導体集積回路の製造技術により、特に制限されないが、固体撮像素子を駆動する各種タイミング信号を発生する駆動回路を構成する回路ブロックとともに1個の半導体基板上において形成される。

【0007】この実施例の水平同期信号判別回路は、極正判別部、ラッチ部、ラッチタイミング発生部及び極正選択部より構成されている。極性判別部は、放送規格に準拠した複合同期信号SYNCを基準に用いて、各メータ等において区々となる水平同期信号発生回路により形成された水平同期信号HDの極性を判別する。ただし、垂直同期期間では、等価パルスの影響により極性判別が逆転してしまうので、この影響を排除するためにラッチタイミング発生部とラッチ部が設けられる。極性選択部は、水平同期信号HDとこの水平同期信号HDを反転させる反転回路の出力信号と受け、いずれか1方を選択して出力させる。この極性選択部の出力信号は、CCD固体撮像素子の水平CCD又はMOS形固体撮像素子の水平シフトレジスタ等の動作に必要なクロックパルスを形成するために用いられる。

【0008】図2には、上記水平同期信号判別回路の一実施例の具体的な回路図が示されている。図3には、水平同期信号HDが負極性の場合の動作を説明するためのタイミング図が示され、図4には、水平同期信号HDが正極性の場合の動作を説明するためのタイミング図が示されている。

【0009】図2において、極性判別部は、フリップフロップDF1により構成される。このフリップフロップDF1のクロック端子Cには、複合同期信号SYNCがインバータ回路N1により反転されて供給される。データ端子Dには水平同期信号HDが供給される。これにより、フリップフロップDF1は、図3又は図4に示すように複合同期信号SYNCの立ち下がりエッジにより、水平同期信号HDの取り込みを行う。この極性判別部では、上記のようなタイミングでの水平同期信号HDの取り込みにより極性を判別できる。しかしながら、垂直同期期間では等価パルスの影響によって極性が逆転してしまうという現象が生じるので、この極性判別出力をそのまま利用することができない。

【0010】この実施例では、この垂直同期期間での判別結果の逆転を防止するため、ラッチタイミング発生部で1フィールド毎のパルスを発生し、等価パルス直後のタイミングで毎フィールドラッチし極性判別結果を出力

する。この判別結果により極性選択部でHDパルス極性を選択し、入力するHDパルスの極性にかかわらず統一された負極性のパルス出力を得る。すなわち、上記のような等価パルスの影響を排除するために、ラッチタイミング発生部を設けて垂直同期期間を検出し、そのバックエッジにより上記極性判別部の出力信号1を保持させるようにする。ラッチタイミング発生部は、2つのフリップフロップDF2, DF3と NAND (NAND) ゲート回路NA1から構成される。フリップフロップDF2のクロック端子Cには水平同期信号HDが供給され、フリップフロップDF3のクロック端子Cにはインバータ回路N2により反転された水平同期信号HDが供給される。上記フリップフロップDF2及びDF3のデータ端子Dには上記極性判別部のフリップフロップDF1の出力信号Qが共通に供給される。

【0011】これにより、水平同期信号HDが負極性のときには、図3に示すようにフリップフロップDF2の出力2がハイレベルに固定されるのに対して、フリップフロップDF3の出力3が垂直同期期間においてハイレベルに変化する。それ故、 NANDゲート回路NA1は、実質的にインバータ回路として動作してフリップフロップDF3の出力信号3を反転した出力信号4を形成する。また、水平同期信号HDが正極性のときには、図4に示すようにフリップフロップDF3の出力2がハイレベルに固定されるのに対して、フリップフロップDF3の出力2が垂直同期期間においてハイレベルに変化する。それ故、 NANDゲート回路NA1の出力信号4は、フリップフロップDF2の出力信号3の反転信号とされる。このように、ラッチタイミング発生部では垂直同期期間を検出する動作を行う。

【0012】図2において、ラッチ部は、フリップフロップDF4から構成され、そのクロック端子Cにはラッチタイミング発生部の出力である NANDゲート回路NA1の出力信号4が供給され、そのデータ端子Dには極性判別部の出力であるフリップフロップDF1の出力信号1が供給される。これにより、図3又は図4に示すように、垂直同期信号期間のバックエッジに同期して、言い換えるならば、垂直同期信号が終了した直後の水平同期信号HDの極性判別信号がラッチ部のフリップフロップDF4に保持される。

【0013】図2において、選択部は NANDゲート回路NA2～NA4からなる切り換えゲート回路から構成される。 NANDゲート回路NA2とNA3の一方の入力には、ラッチ部のフリップフロップDF4の出力QB, Qがそれぞれ供給される。 NANDゲート回路NA2の他方の入力には、インバータ回路N3によって反転された水平同期信号HDが供給され、 NANDゲート回路NA3の他方の入力には水平同期信号HDがそのまま入力される。これらの NANDゲート回路NA2, NA3の出力信号を受ける NANDゲート回路NA4は、実質的にオアゲ

ート回路として動作して、判別結果出力5により選択された極性の水平同期信号を出力する。的回路例を第2図に示す。第2図の回路によるHDパルス極正判別動作を、第

【0014】例えば、図3のようにラッチ部のハイレベルHが取り込まれたなら、 NANDゲート回路NA3がゲートを開いて入力された水平同期信号HDを選択して出力させる。図4のようにラッチ部のハイレベルしが取り込まれたなら、 NANDゲート回路NA2がゲートを開いて反転された水平同期信号HDを選択して出力させる。すなわち、この実施例では、外部から入力される水平同期信号HDが負又は正のいずれかであっても内部回路に供給される水平同期信号HDは負極性のパルスに統一される。これにより、汎用性を持たせるために従来のように正極性専用の水平同期信号入力と負極性専用の入力を別々に設ける必要がない。

【0015】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) 放送規格に準拠した複合同期信号により水平同期信号の極性を判別し、この結果に基づいて上記水平同期信号又はその反転信号を選択して一定の極性にされた水平同期信号を出力させることにより、入力された水平同期信号の極性にかかわらず所望の極性の水平同期信号を得ることができるから、入力端子数を増加させることなく汎用性を図ることができるという効果が得られる。

(2) 上記(1)により、ビデオカメラなどの小型化に対応して固体撮像素子を駆動する周辺回路の汎用性とICピン数の削減が実現できるという効果が得られる。

【0016】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、複合同期信号を用いて水平同期信号と極性を判別する回路は、上記のようなエッジタイミングでのレベル判定が可能なものであれば何であってもよい。同様に、ラッチタイミング発生部も、垂直同期期間を検出するものであれば何であってもよい。出力信号は前記のように負極性の水平同期信号とするもの他、正極性の水平同期信号に統一するものであってもよいことはいうまでもない。この発明は、前記のように複合同期信号(SYNC)と水平同期信号(HD)を入力することにより動作するデジタル回路に用いられる水平同期信号判別回路として広く利用することができる。

【0017】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、放送規格に準拠した複合同期信号により水平同期信号の極性を判別して上記水平同期信号又はその反転信号を選択して一定の極性にされた水平同期信号を出力させることにより、入力された水平

5

同期信号の極性にかかわらず所望の極性の水平同期信号を得ることができるから、入力端子数を増加させることなく汎用性を図ることができる。

【図面の簡単な説明】

【図1】この発明に係る水平同期信号判別回路の一実施例を示すブロック図である。

【図2】この発明に係る水平同期信号判別回路の具体的一実施例を示す回路図である。

6

【図3】この発明に係る水平同期信号判別回路の動作の一例を説明するためのタイミング図である。

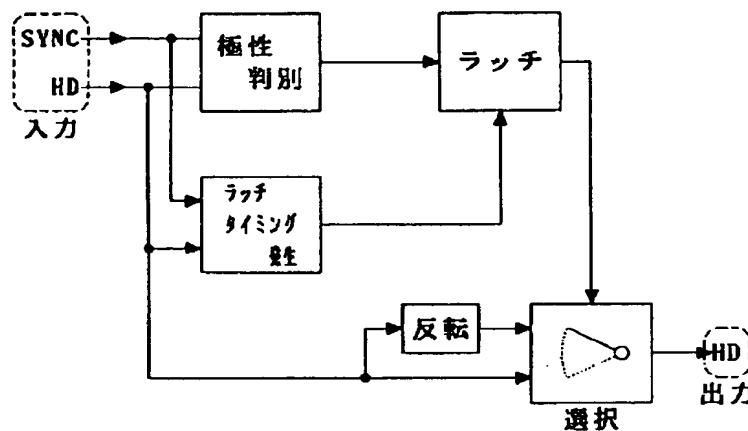
【図4】この発明に係る水平同期信号判別回路の動作の他の一例を説明するためのタイミング図である。

【符号の説明】

N1～N3…インバータ回路、NA1～NA4… NANDゲート回路、DF1～DF4…フリップフロップ。HD…水平同期信号、SYNC…複合同期信号。

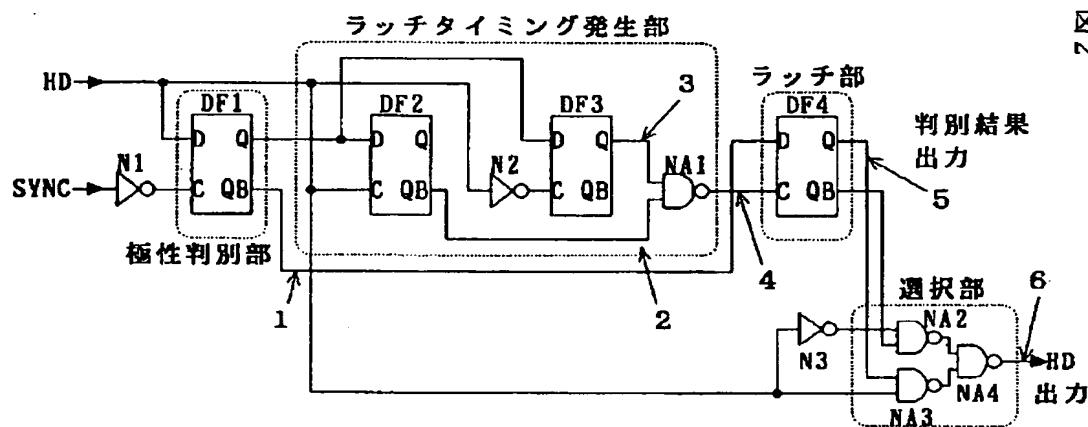
【図1】

図1

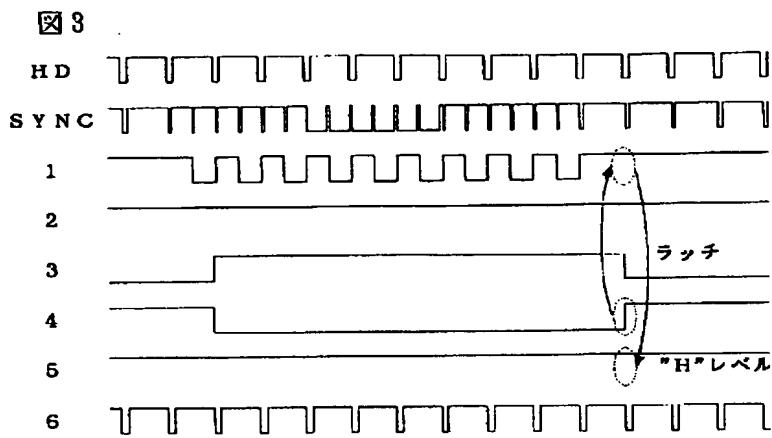


【図2】

図2



【図3】



【図4】

